

PATENT ABSTRACTS OF JAPAN

B3

(11)Publication number : 2001-282137

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

G09F 9/30
H01L 29/786
// H05B 33/14

(21)Application number : 2000-092686

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.03.2000

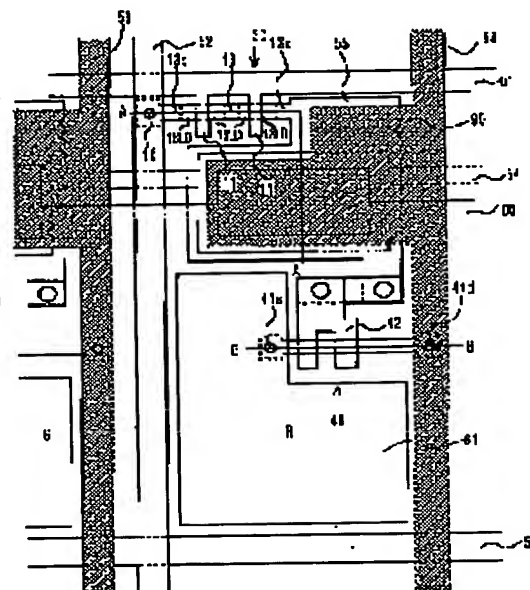
(72)Inventor : YASUDA HITOSHI

(54) ELECTROLUMINESCENT DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an EL display device capable of obtaining constant display by supplying a constant current without reducing an opening ratio

SOLUTION: This device is an organic EL display provided with a first TFT for switching 30, a second TFT for driving an organic EL element 40, an anode 61, a cathode 67 and an organic EL element 60 consisting of a light emitting element layer 66 held between these electrodes and, moreover, it is provided with a first holding capacitance 70 which is formed by a second holding capacitance electrode 54 made of a Cr and a first holding capacitance electrode 55 made of a p-Si film being the source 13s of the first TFT 30, through a gate insulating film 12 and a second holding capacitance 110 which is formed by a driving power source holding capacitance electrode 100 and the second holding capacitance electrode 54 with a flattening insulating film 17.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-282137
(P2001-282137A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 F 9/30	3 3 8 3 6 5	G 0 9 F 9/30	3 3 8 3 K 0 0 7 3 6 5 Z 5 C 0 9 4
H 0 1 L 29/786		H 0 5 B 33/14	A 5 F 1 1 0
// H 0 5 B 33/14		H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2000-92686 (P2000-92686)

(22) 出願日 平成12年3月30日 (2000. 3. 30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 安田 仁志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

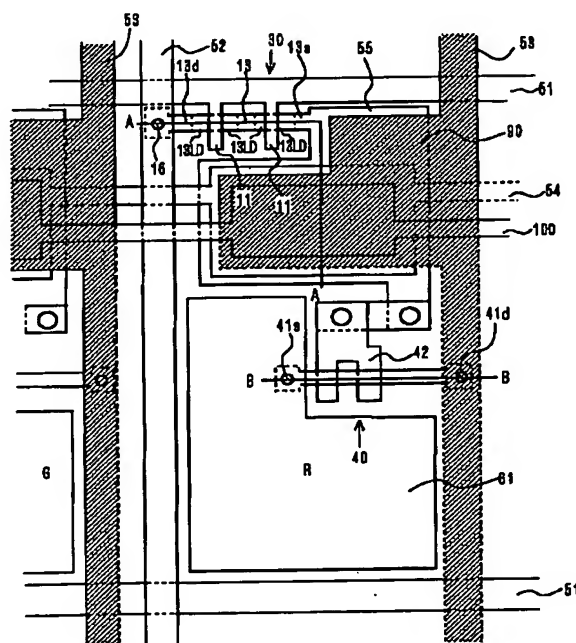
最終頁に続く

(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

【課題】 開口率を小さくすることなく、安定した電流を供給して安定した表示を得ることができる E L 表示装置を提供する。

【解決手段】 スイッチング用の第1の T F T 3 0 と、有機 E L 素子駆動用の第2の T F T 4 0 と、陽極 6 1、陰極 6 7 及び該両電極の間に挟まれた発光素子層 6 6 から成る有機 E L 素子 6 0 とを備えた有機 E L 表示装置であって、C r から成る第2の保持容量電極 5 4 及び第1の T F T 3 0 のソース 1 3 s である p - S i 膜から成る第1の保持容量電極 5 5 とがゲート絶縁膜 1 2 を介してなす第1の保持容量 7 0 と、駆動電源保持容量電極 1 0 0 と第2の保持容量電極 5 4 とが平坦化絶縁膜 1 7 を介してなす第2の保持容量 1 1 0 を備えている。



【特許請求の範囲】

【請求項1】 陽極と陰極との間に発光層を有するエレクトロルミネッセンス素子と、前記能動層のドレインがドレイン信号線に接続され、ゲートがゲート信号線にそれぞれ接続された第1の薄膜トランジスタと、非単結晶半導体膜からなる能動層のドレインが前記エレクトロルミネッセンス素子の駆動電源線に接続され、ゲートが前記第1の薄膜トランジスタのソースに接続された第2の薄膜トランジスタとを備えたエレクトロルミネッセンス表示装置であって、

前記駆動電源線の上方に絶縁膜を介して電源用保持容量線が設けられ、前記駆動電源線の上方に絶縁膜を介して電源用保持容量線との間で、容量を持つことを特徴とするエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エレクトロルミネッセンス素子及び薄膜トランジスタを備えたエレクトロルミネッセンス表示装置に関する。

【0002】

【従来の技術】近年、エレクトロルミネッセンス (Electro Luminescence: 以下、「EL」と称する。) 素子を用いたEL表示装置が、CRTやLCDに代わる表示装置として注目されており、例えば、そのEL素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「TFT」と称する。) を備えたEL表示装置の研究開発も進められている。

【0003】図4に有機EL表示装置の1表示画素を示す等価回路図を示し、図5に有機EL表示装置の1表示画素の平面図を示し、図6(a)に図5中のA-A線に沿った断面図を示し、図6(b)に図5中のB-B線に沿った断面図を示す。

【0004】図4及び図5に示すように、ゲート信号線51とドレイン信号線52とに囲まれた領域に表示画素が形成されている。両信号線の交点付近にはスイッチング素子である第1のTFT30が備えられており、そのTFT30のソース13sは後述の保持容量電極54との間で容量をなす容量電極55を兼ねるとともに、有機EL素子を駆動する第2のTFT40のゲート42に接続されている。第2のTFT40のソース43sは有機EL素子の陽極61に接続され、他方のドレイン43dは有機EL素子を駆動する駆動電源50に接続された駆動電源線153に接続されている。

【0005】また、TFTの付近には、ゲート信号線51と並行に保持容量電極54が配置されている。この保持容量電極54はクロム等から成っており、ゲート絶縁

膜12を介して第1のTFT30のソース13sと一体形成された容量電極55との間で電荷を蓄積して容量を成している。この保持容量70は、第2のTFT40のゲート41に印加される電圧を保持するために設けられている。

【0006】まず、スイッチング用のTFTである第1のTFT30について説明する。

【0007】図6(a)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、非晶質シリコン膜にレーザを照射して多結晶化した多結晶シリコン膜から成る能動層13を形成する。この能動層13にはいわゆるLDD (Lightly Doped Drain) 構造が設けられている。即ち、ゲート11の両側に低濃度領域13LDとその外側に高濃度領域のソース13s及びドレイン13dが設けられている。その上にゲート絶縁膜12、及びクロム (Cr)、モリブデン (Mo) などの高融点金属からなるゲート信号線51の一部をなすゲート電極11を形成する。このとき同時に、保持容量電極54を形成する。

【0008】続いて、ゲート絶縁膜12及びゲート絶縁膜12上の全面には、SiO₂膜、SiN膜及びSiO₂膜の順に積層された層間絶縁膜15を設け、ドレイン13dに対応して設けたコンタクトホールにA1等の金属を充填してドレイン信号線52の一部をなすドレイン電極16を設ける。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を設ける。

【0009】次に、有機EL素子の駆動用のTFTである第2のTFT40について説明する。

【0010】図6(b)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、第1のTFT30の能動層13の形成と同時に、多結晶シリコン膜から成る能動層43を形成する。その能動層43には、ゲート電極41上方に真性又は実質的に真性であるチャネル43cと、このチャネル43cの両側に、p型不純物のイオンドーピングを施してソース43s及びドレイン43dを設けて、p型チャネルTFTを構成する。その能動層43の上にゲート絶縁膜12、及びCr、Moなどの高融点金属からなるゲート電極41を設ける。このゲート電極41は、第1のTFT30のソース13sに接続されている。

【0011】そして、ゲート絶縁膜12及びゲート電極42上の全面には、SiO₂膜、SiN膜及びSiO₂膜の順に積層された層間絶縁膜15を形成し、ドレイン43dに対応して設けたコンタクトホールにA1等の金属を充填して駆動電源50に接続された駆動電源線53を配置する。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を形成して、その平坦化絶縁膜17のソース43sに対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース43sとコンタクトしたITO (Indium Tin Oxide) から成

る透明電極、即ち有機EL素子60の陽極61を平坦化絶縁膜17上に設ける。

【0012】有機EL素子60は、ITO等の透明電極から成る陽極61、MTDATA(4,4',4'-tris(3-methylphenylphenylamino)triphenylamine)から成る第1ホール輸送層62、及びTPD(N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine)からなる第2ホール輸送層63、キナクリドン(Quinacridone)誘導体を含むBebq2(bis(10-hydroxybenzo[h]quinolinato)beryllium)から成る発光層64及びBebq2から成る電子輸送層65からなる発光素子層66、マグネシウム・インジウム合金から成る陰極67がこの順番で積層形成された構造である。これら第1ホール輸送層62、第2ホール輸送層63、電子輸送層65及び陰極67は、図6に示した各表示画素に備えた有機EL素子に共通に形成されている。発光層64は、陽極61に対応して島状に形成されている。

【0013】なお、有機EL素子は、陽極から注入されたホールと、陰極から注入された電子とが発光層の内部で再結合し、発光層を形成する有機分子を励起して励起子が生じる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0014】このように、第1のTF T30のソース13sから印加された電荷が保持容量70に蓄積されるとともに第2のTF T40のゲート41に印加されてその電圧に応じて有機EL素子は発光する。

【0015】

【発明が解決しようとする課題】ところが、有機EL素子に電流が供給される際に、駆動電源線のインピーダンスによって電流が変動してしまう。

【0016】そのため、安定した電流を有機EL素子に供給することができず、良好な表示を得ることができないという欠点があった。

【0017】そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、駆動電源線と新たな電極との間で容量を形成することにより良好な表示を得ることができるEL表示装置を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明のEL表示装置は、陽極と陰極との間に発光層を有するエレクトロルミネッセンス素子と、前記能動層のドレインがドレイン信号線に接続され、ゲートがゲート信号線にそれぞれ接続された第1の薄膜トランジスタと、非単結晶半導体膜からなる能動層のドレインが前記エレクトロルミネッセンス素子の駆動電源線に接続され、ゲートが前記第1の薄膜トランジスタのソースに接続された第2の薄膜トランジスタとを備えたエレクトロルミネッセンス表示装置であって、前記駆動電源線の上に絶縁膜を介して電源用保持容量線が設けられ、前記駆動電源線の上に絶縁膜

を介して電源用保持容量線との間で容量を持つものである。

【0019】また、上述のEL表示装置は、前記電源用保持容量線は、前記陽極と同時に形成された酸化インジウム錫から成るEL表示装置である。

【0020】

【発明の実施の形態】本発明のEL表示装置について以下に説明する。

【0021】図1に本発明を有機EL表示装置に適用した場合の1表示画素を示す平面図を示し、図2(a)に図1中のA-A線に沿った断面図を示し、図2(b)に図1中のB-B線に沿った断面図を示す。更に、図3に有機EL表示装置の等価回路図を示す。

【0022】なお、本実施の形態においては、第1及び第2のTF T30、40ともに、ゲート電極を能動層13の上方に設けたいわゆるトップゲート型のTF Tを採用した場合であり、能動層としてp-Si膜を用いた場合を示す。またゲート電極11、42がダブルゲート構造であるTF Tの場合を示す。

【0023】図1及び図2に示すように、ゲート信号線51とドレイン信号線52とに囲まれた領域に表示画素が形成されている。両信号線の交点付近には第1のTF T30が備えられており、そのTF T30のソース13sは保持容量電極54との間で容量をなす容量電極55を兼ねるとともに、第2のTF T40のゲート42に接続されている。第2のTF Tのソース41sは有機EL素子60の陽極61に接続され、他方のドレイン41dは有機EL素子を駆動する駆動電源線53に接続されている。

【0024】また、TF Tの付近には、ゲート信号線51と並行に第1の保持容量電極55が配置されている。この第1の容量電極55はソース13sと同時に形成されp-Si膜から成っており、ゲート絶縁膜12を介して第2の保持容量電極54との間で容量をなしている。この第2の保持容量電極54は、ゲート電極11と同時に形成されたクロム等の金属から成っており、隣接する各保持容量電極と共通の電位で接続されている。この第1及び第2の保持容量電極からなる容量が第1の保持容量70である。

【0025】また、平坦化絶縁膜17の上に、陽極61と同時に形成された第3の容量電極100が設けられている。この第3の容量電極100と、駆動電源線53と接続されており、第1の保持容量上に延在している第3の容量電極90との間で、平坦化絶縁膜17を介して第2の保持容量110をなしている。

【0026】こうして形成される第1の保持容量70は、第2のTF T40のゲート電極41に印加される電圧を保持するように機能し、また第2の保持容量110は、駆動電源線53の電圧が変動することを防止するように機能する。

【0027】図3に示すように、第1の保持容量70の他方の電極72、即ち第1の保持容量電極54は隣接する各表示画素に設けられた第1の保持容量電極54と接続されておりコモン電極73に接続されている。このコモン電極73には一定の電位が印加されている。また第2の保持容量電極90は有機EL素子60の駆動電源50に接続された駆動電源線53に接続されている。

【0028】このように有機EL素子60及びTFT30、40を備えた表示画素が基板10上にマトリクス状に配置されることにより有機EL表示装置が形成される。

【0029】図2に示すように、有機EL表示装置は、ガラスや合成樹脂などから成る基板10、又は導電性を有する基板あるいは半導体等の基板上に SiO_2 や SiN などの絶縁膜を形成した基板10上に、TFT及び有機EL素子を順に積層形成して成る。

【0030】スイッチング用のTFTである第1のTFT30は、図1及び図2(a)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、非晶質シリコンにレーザ光を照射して熔融再結晶化させることにより多結晶化された多結晶シリコンを島状に形成して能動層13とする。その上に、 SiO_2 膜から成るゲート絶縁膜12を形成し、更にその上に、Cr、Moなどの高融点金属からなるゲート電極11を形成する。このゲート電極11はゲート信号線51と一体で形成される。またA1から成るドレイン信号線52を備えている。また、ゲート電極と同層にCr、Moなどの高融点金属から成る第1の保持容量電極54が設けられている。

【0031】その能動層13にはいわゆるLDD構造が設ける。即ち、ゲート11の両側に低濃度領域13LDとその外側に高濃度領域のソース13s及びドレイン13dが設けられている。また、能動層のp-Si膜は第1の保持容量電極54下にまで延在されており、第1の保持容量電極55としてゲート絶縁膜12を介して第2の保持容量電極54との間で第1の保持容量70を成す。

【0032】そして、ゲート電極11及びゲート絶縁膜12上の全面には、 SiO_2 膜、 SiN 膜及び SiO_2 膜の順に積層された層間絶縁膜15を設け、ドレイン13dに対応して設けたコンタクトホールにA1等の金属を充填してドレイン電極16を設ける。このドレイン電極16はドレイン信号線52と一体で形成される。このとき、同時に駆動電源線53を形成し、この駆動電源線53の一部が保持容量電極54の上方にまで延在した電源線保持容量電極90を形成する。

【0033】更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を設ける。その上には、陽極61と同時に形成され、ゲート信号線51と並行して形成された駆動電源保持容量電極100が形成されてい

る。この駆動電源保持容量電極100は、電源線保持容量電極90との間で、平坦化絶縁膜17を介して第2の保持容量110をなす。

【0034】また、駆動電源保持容量電極100の上には、第2の平坦化絶縁膜68、第1ホール輸送層62、第2ホール輸送層63、電子輸送層65及び陰極67が順に形成されている。

【0035】次に、有機EL素子60の駆動用のTFTである第2のTFT40について説明する。

【0036】図2(b)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、第1のTFT30と同時に形成された多結晶シリコン膜から成る能動層43を形成する。その上に SiO_2 膜等から成るゲート絶縁膜12を形成する。更にその上には、Cr、Moなどの高融点金属からなるゲート電極41を形成する。

【0037】その能動層43には、ゲート電極41上方に真性又は実質的に真性であるチャネル43cと、このチャネル43cの両側に、その両側をレジストにてカバーしてp型不純物である例えばボロン(B)をイオンドーピングしてソース43s及びドレイン43dが設けられている。

【0038】そして、ゲート電極41及びゲート絶縁膜12上の全面に、 SiO_2 膜、 SiN 膜及び SiO_2 膜の順に積層された層間絶縁膜15を形成し、ソース43sに対応して設けたコンタクトホールにA1等の金属を充填して駆動電源50に接続された駆動電源線53を形成する。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を形成する。そして、その平坦化絶縁膜17及び層間絶縁膜15のドレイン43dに対応した位置にコンタクトホールを形成し、このコンタクトホールを介してドレイン43dとコンタクトしたITOから成る透明電極、即ち有機EL素子の陽極61を平坦化絶縁膜17上に形成する。

【0039】有機EL素子60の構造は従来の技術で説明した構造と同じであるので説明を省略する。

【0040】このように、駆動電源保持容量電極100と電源線保持容量電極90との間で容量を持つため、それによって駆動電源線53のインピーダンスによる電圧変動することを防止することができるので、安定した駆動電流をEL素子60に供給することができ、安定した表示を得ることができる。

【0041】更に、駆動電源保持容量電極100についても、不透明の第1の保持容量70を形成した領域上に形成するので、開口率を低下させることなく形成することができるとともに、この駆動電源保持容量電極100は陽極61と同時に形成するため製造工程が増大することなく形成することが可能となる。

【0042】なお、本願においては、ドレインはTFTに電流が流れ込む電極を意味し、ソースはTFTから電

流が流れ出す電極を意味するものとする。

【0043】また、上述の実施の形態においては、ゲート電極11、41がダブルゲート構造の場合について説明したが、本願発明はそれに限定されるものではなく、シングルゲートあるいは3つ以上のマルチゲート構造を有していても本願と同様の効果を奏することが可能である。

【0044】また、上述の実施の形態においては、第2のTFTがp型チャンネルTFTの場合を示したが、第2のTFTはn型チャンネルTFTでも良い。

【0045】また、上述の実施の形態においては、能動層としてp-Si膜を用いたが、微結晶シリコン膜又は非晶質シリコン膜を用いても良い。

【0046】更に、上述の実施の形態においては、有機EL表示装置について説明したが、本発明はそれに限定されるものではなく、発光層が無機材料から成る無機EL表示装置にも適用が可能であり、同様の効果が得られる。

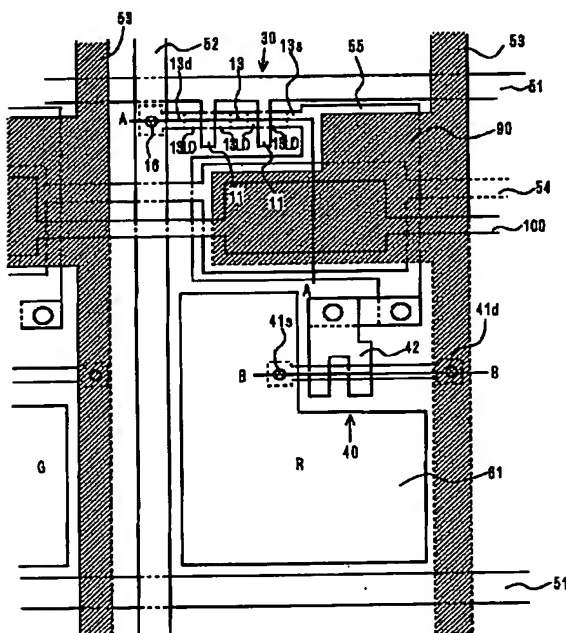
【0047】

【発明の効果】本発明のEL表示装置は、工程を増やすことなく保持容量電極を形成することができ、その保持容量電極によって駆動電流を安定してEL素子に供給することが可能となるので安定した表示が得られるEL表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明のEL表示装置の実施の形態を示す平面*

【図1】



*図である。

【図2】本発明のEL表示装置の実施の形態を示す断面図である。

【図3】本発明のEL表示装置の等価回路図である。

【図4】従来のEL表示装置の等価回路図である。

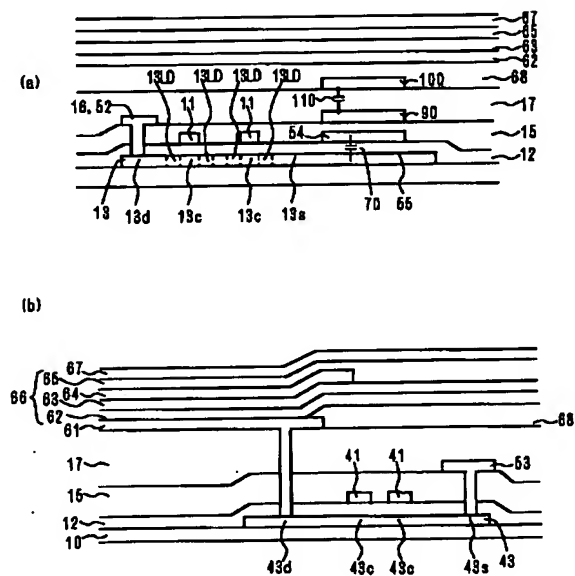
【図5】従来のEL表示装置の平面図である。

【図6】従来のEL表示装置の断面図である。

【符号の説明】

13s、43s	ソース
13d、43d	ドレイン
13c、43c	チャンネル
13LD	LDD領域
11、41	ゲート
30	第1のTFT
40	第2のTFT
50	駆動電源
54	第2の保持容量電極
55	第1の保持容量電極
60	有機EL素子
70	第1の保持容量
90	第2の保持容量電極（電源線
保持容量電極）	
100	第3の保持容量電極（駆動電
源保持容量電極）	
110	第2の保持容量

【図2】



フロントページの続き

F ターム(参考) 3K007 AB17 AB18 BA06 CA01 CB01
DA01 DB03 EA00 EB00 GA04
5C094 AA03 AA43 AA48 BA03 BA27
CA19 DA13 DB01 DB04 EA04
EA05 EA10 EB02 FA01 FA02
FB12 FB14 FB15 GB10
5F110 BB01 CC02 DD01 DD02 DD03
DD05 DD13 DD14 EE04 EE28
FF02 GG02 GG13 HJ12 HL03
HL07 HM15 NN03 NN05 NN23
NN24 NN72 NN73 PP03 QQ11

Partial Translation of JP 2001-282137 A

...omitted...

[0012] The organic EL device 60 has such a structure that an anode 61 composed of a transparent electrode of ITO or the like, a light emitting device layer 65 constituted by a first hole transport layer 62 composed of MTDATA (4,4',4"-tris(3-methylphenylphenylamino)triphenylamine), a second hole transport layer 63 composed of TPD(N,N'-diphenyl-N,N'-di(3-methylphenyl)-1,1'-biphenyl-4,4'-diamine), a light emitting layer 64 composed of Bebq2(bis(10-hydroxybenzo[h]quinolinato)beryllium) including a Quinacridone derivative, and an electron transport layer 65 composed of Bebq2, and a cathode 67 composed of magnesium-indium alloy are stacked in this order. The first hole transport layer 62, second hole transport layer 63, electron transport layer 65 and cathode 67 are formed in common in organic EL devices each included in a display pixel shown in Fig. 6. The light emitting layer 64 is formed in an island shape, corresponding to the anode 61.

...omitted...

[0021] Fig. 1 illustrates a plan view showing one display pixel provided when this invention is applied to an organic EL display device; Fig. 2(a) shows a cross-sectional view taken along the line A-A in Fig. 1; and Fig. 2(b) shows a cross-sectional view taken along the line B-B in Fig. 1.

Further, Fig. 3 shows an equivalent circuit diagram of the organic EL display device.

[0022] Note that this embodiment shows the case where both first and second TFTs 30, 40 employ so-called top-gate TFTs, in each of which a gate electrode is provided above an active layer 13 where a p-Si film is used as the active layer, and gate electrodes 11, 42 each have a double-gate structure.

[0023] As shown in Figs. 1 and 2, a display pixel is formed in an area enclosed by gate signal lines 51 and drain signal lines 52. A first TFT 30 is provided in the vicinity of the crossing point of the gate and drain signal lines. The TFT 30 has its source 13s serving also as a capacitance electrode 55 that forms capacitance between the capacitance electrode 55 and a storage capacitance electrode 54, and being connected to a gate 42 of a second TFT 40. The second TFT 40 has its source 41s connected to an anode 61 of an organic EL device 60 and its drain 41d connected to a driving power supply line 53 that drives the organic EL device.

[0024] In the vicinity of the TFTs, a first storage capacitance electrode 55 is arranged in parallel with the gate signal line 51. This first capacitance electrode 55, which is formed simultaneously with the source 13s and is formed of p-Si film, forms capacitance between the electrode 55 and the second storage capacitance electrode 54 with a gate insulating film 12 interposed therebetween. This second storage capacitance electrode 54, which is made of metal such as chrome or the like and is formed

simultaneously with the gate electrode 11, is connected with each adjacent storage capacitance electrode at a common potential. The capacitance formed by the first and second storage capacitance electrodes is a first storage capacitance 70.

[0025] In addition, a third capacitance electrode 100, which is formed simultaneously with the anode 61 is provided on a planarizing insulation film 17. Between the third capacitance electrode 100 and a third capacitance electrode 90, which is connected to the driving power supply line 53 and extends over the first storage capacitance, a second storage capacitance 110 is formed with the planarizing insulation film 17 interposed therebetween.

[0026] The first storage capacitance 70 thus formed functions to store a voltage applied to a gate electrode 41 of the second TFT 40, while the second storage capacitance 110 functions to prevent variation of the voltage of the driving power supply line 53.

[0027] As shown in Fig. 3, the other electrode 72 of the first storage capacitance 70, i.e., the first storage capacitance electrode 54 is connected to another first storage capacitance electrode 54 provided in each adjacent display pixel and to a common electrode 73. This common electrode 73 is supplied with a constant potential. The second storage capacitance electrode 90 is connected to the driving power supply line 53 connected with a driving power supply 50 of the organic EL device 60.

[0028] The display pixels each including the organic EL device 60, and TFTs 30 and 40 are arranged in matrix form in

this way, so that the organic EL display device is formed.

[0029] The organic EL display device is constituted by stacking the TFTs and the organic EL device in this order on a substrate 10 made of glass or synthetic resin or on an electrically conductive substrate 10 or a substrate 10 of semiconductor or the like, on which an insulating film of SiO_2 , SiN or the like is formed, as shown in Fig. 2.

[0030] With respect to the first TFT 30 being a switching TFT, as shown in Figs. 1 and 2(a), a polycrystalline silicon, which is made polycrystalline by directing a laser beam to amorphous silicon and melting and recrystallizing the same, is formed in an island shape on the insulating substrate 10 made of quartz glass, alkali-free glass or the like, so as to form an active layer 13. A gate insulating film 12 made of SiO_2 film is formed on the active layer 13, and a gate electrode 11 made of refractory metal such as Cr, Mo, etc. is formed on the gate insulating film 12. This gate electrode 11 is formed integrally with the signal line 51. Further, the drain signal line 52 made of Al is provided. A first storage capacitance electrode 54 made of refractory metal such as Cr, Mo, etc. is also provided on the same layer as that of the gate electrode.

[0031] The active layer 13 is provided with a so-called LDD structure. That is to say, low concentration regions 13LD are provided on the opposite sides of the gate 11, and a source 13s and a drain 13d of high concentration regions are provided, respectively outside of the opposite sides of the gate 11. The p-Si film of the active layer extends beneath the first storage capacitance electrode 54 and serves as the

first storage capacitance electrode 55, so as to form the first storage capacitance 70 between the first storage capacitance electrode 55 and the second storage capacitance electrode 54 with the gate insulating film 12 interposed therebetween.

[0032] Over the entire surface of the gate electrode 11 and the gate insulating film 12 is formed an interlayer insulating film 15 which is made by stacking an SiO₂ film, an SiN film and an SiO₂ film in this order. A drain electrode 16 is provided by filling a contact hole, which is formed corresponding to the drain 13d, with metal such as Al or the like. This drain electrode 16 is formed integrally with the drain signal line 52. At the same time, a driving power supply line 53 is formed, so that part of the driving power supply line 53 forms a power supply line storage capacitance electrode 90 that extends above the storage capacitance electrode 54.

[0033] Furthermore, the planarizing insulation film 17, which is made of organic resin, for example, and acts to planarize surfaces, is provided on the overall surface. On the planarizing insulation film is formed a driving power supply storage capacitance electrode 100 which is formed simultaneously with the anode 61 and in parallel with the gate signal line 51. This driving power supply storage capacitance electrode 100 forms a second storage capacitance 110 between this electrode 100 and the power supply line storage capacitance electrode 90 with the planarizing insulation film 17 interposed therebetween.

[0034] Moreover, a second planarizing insulation film 68,

the first hole transport layer 62, second hole transport layer 63, electron transport layer 65 and cathode 67 are formed in turn on the driving power supply storage capacitance electrode 100.

[0035] A description will now be made on the second TFT 40 which is a driving TFT in the organic EL device 60.

[0036] As shown in Fig. 2(b), an active layer 43 made of polycrystalline silicon film, which is formed simultaneously with the first TFT 30, is formed on an insulating substrate 10 made of quartz glass, alkali-free glass or the like. On the active layer 43 is formed a gate insulating film 12 made of SiO_2 film or the like. On the gate insulating film 12 is formed a gate electrode 41 made of refractory metal such as Cr, Mo, etc.

[0037] In the active layer 43, an intrinsic or substantially intrinsic channel 43c is formed above the gate electrode 41, and a source 43s and a drain 43d are provided on the opposite sides of the channel 43c by ion-doping p-type impurities, e.g., boron (B) with the opposite sides of channel 43c covered with a resist.

[0038] Then, over the entire surface on the gate electrode 41 and gate insulating film 12 is formed an interlayer insulating film 15 which is constituted by stacking an SiO_2 film, an SiN film and an SiO_2 film in turn. A driving power supply line 53 connected with a driving power supply 50 is formed by filling a contact hole, which is provided corresponding to the source 43s, with metal such as Al or the like. Furthermore, a planarizing insulation film 17, which is made of organic resin, for example, and acts to

planarize surfaces is formed over the entire surface. Then, a contact hole is formed at a position corresponding to the drain 43d of the planarizing insulation film 17 and interlayer insulating film 15. A transparent electrode made of ITO which is in contact with the drain 43d through this contact hole, i.e., an anode 61 of the organic EL device is then formed on the planarizing insulation film 17. [0039] Since the structure of the organic EL device 60 is the same as the one explained in the conventional art, the description thereof will not be repeated.

...omitted...

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.